

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-299699

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

H01L 33/00

(21)Application number : 04-105149

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.04.1992

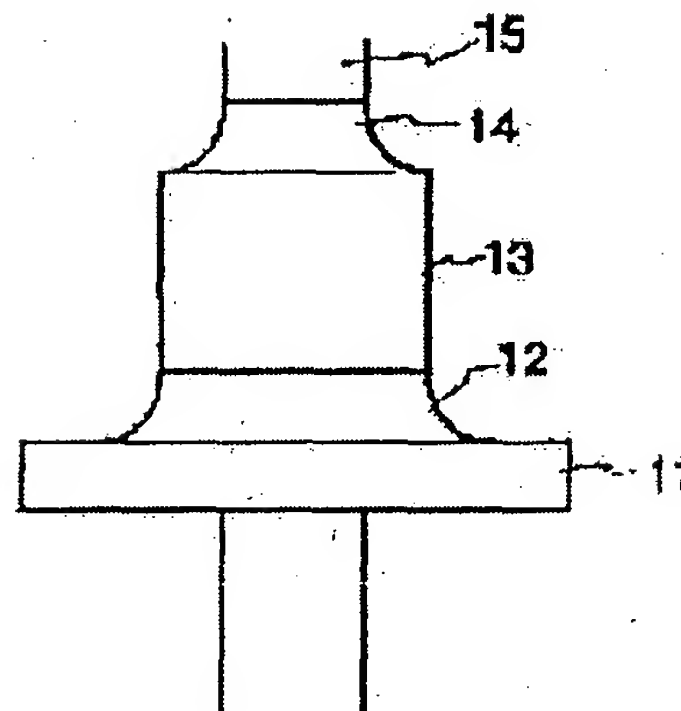
(72)Inventor : SUGAWARA TOMONOBU

(54) SEMICONDUCTOR LIGHT EMITTING DEVICE

(57)Abstract:

PURPOSE: To improve yield during screening by reducing a stress applied to an active region of a light emitting diode chip.

CONSTITUTION: This device is provided with a 892 to 956 μ m-thick or a 888 to 1007 μ m-thick submount 13 consisting of AlN attached by a solder 12 consisting of solder (or AuSi) on a stem 11 and a light emitting diode chip 15 which is attached onto the submount 13 by a solder 14 which consists of AuSn in an iron or iron-based package of TO-18 type (conforming to JIS).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-299699

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl.⁵

H 0 1 L 33/00

識別記号

庁内整理番号

F I

技術表示箇所

N 8934-4M

審査請求 未請求 請求項の数2(全 10 頁)

(21)出願番号 特願平4-105149

(22)出願日 平成4年(1992)4月24日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 菅原 智信

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

(54)【発明の名称】 半導体発光装置

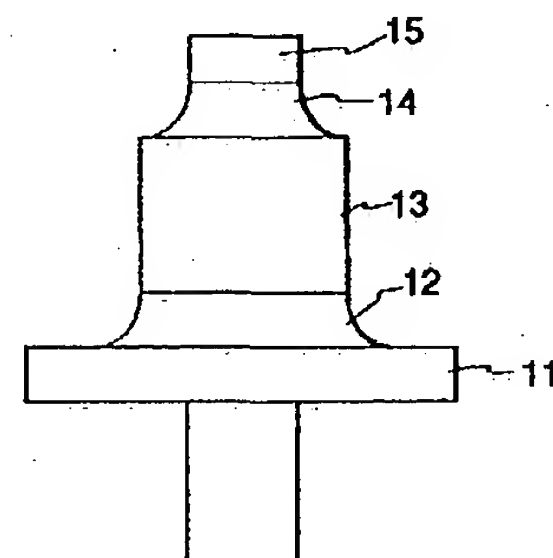
(57)【要約】

【目的】 半導体発光装置に関し、本発明は、発光ダイオード・チップの活性領域に加わる応力を低減し、スクリーニングを行った際の歩留りを向上し得るようにする。

【構成】 鉄、或いは、鉄を主成分とする材料のTO-18型(JIS規格品)パッケージに於けるステム11上に半田(或いはAuSi)からなる溶ダ12で取り付けられた厚さが892[μm]乃至956[μm]

(或いは888[μm]乃至1007[μm])であるAlNからなるサブ・マウント13並びにサブ・マウント13上にAuSnからなる溶ダ14で取り付けられた発光ダイオード・チップ15を備えている。

実施例を説明する為の発光ダイオードを表す要部側面図



- 11 : ステム
- 12 : ソルダ
- 13 : サブ・マウント
- 14 : ソルダ
- 15 : 発光ダイオード・チップ

【特許請求の範囲】

【請求項1】鉄或いは鉄を主成分とする材料からなるステム上に半田からなるソルダで取り付けられた厚さが892〔 μm 〕乃至956〔 μm 〕であるAlNからなるサブ・マウント及び該サブ・マウント上にAuSnからなるソルダで取り付けられた発光ダイオード・チップを備えてなることを特徴とする半導体発光装置。

【請求項2】鉄或いは鉄を主成分とする材料からなるステム上にAuSiからなるソルダで取り付けられた厚さが888〔 μm 〕乃至1007〔 μm 〕であるAlNからなるサブ・マウント及び該サブ・マウント上にAuSnからなるソルダで取り付けられた発光ダイオード・チップを備えてなることを特徴とする半導体発光装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光ファイバを用いた光通信、或いは、測定器などに用いられる半導体発光装置に関する。

【0002】現在、0.8〔 μm 〕帯で用いるGaAs系発光ダイオードは、多くの分野で使用されようとしている段階にあり、従って、更なる信頼性の向上と低価格化が希求されている。

【0003】

【従来の技術】一般に、発光ダイオードに於いては、シリコン、或いは、窒化シリコンからなるサブ・マウントを用いて組み立てられている。図6は標準的な構成の従来例を説明する為の発光ダイオードを表す要部側面図である。

【0004】図に於いて、1はステム、2はソルダ、3はサブ・マウント、4はソルダ、5は発光ダイオード・チップをそれぞれ示している。この発光ダイオードは、サブ・マウント3上にソルダ4を用いて発光ダイオード・チップ5をボンディングし、それをソルダ2を用いてステム1にボンディングして作成され、サブ・マウント3としては、厚さ140〔 μm 〕のSiを用いたもの、或いは、厚さ900〔 μm 〕のSiCを用いたものが知られている。

【0005】

【発明が解決しようとする課題】通常、発光ダイオードに於いては、初期不良を排除する為、高温で大電流の通電を行って発光ダイオード・チップを構成する結晶の弱い部分から転位が発生させる、所謂、スクリーニングが行われている。

【0006】然しながら、そのスクリーニングを行った場合、発光ダイオードに於ける部材間、例えば、ステム1とソルダ2との間、ソルダ2とサブ・マウント3との間、サブ・マウント3とソルダ4との間、ソルダ4と発光ダイオード・チップ5との間の熱膨張係数の差で発生する応力が破壊応力、即ち、結晶内に転位が発生する臨界応力を越えてしまう。

【0007】因に、結晶内に転位が発生した場合、その転位は電流の注入に依って非発光センタとなり、時間の経過と共に電位が成長して光出力を低下させることになる。従って、転位が発生することは、発光ダイオードが動作不能になる破壊と同義であると考えて良い。尚、発光ダイオード・チップは、分離を良好にする為、発光ダイオード・チップの厚さ<サブ・マウントの厚さ、にしなければならないので、この条件の下では、発光ダイオード・チップの厚さを変えても、その厚さの如何が活性領域に加わる応力に大きく影響することはない。

【0008】前記したようなことから、従来の発光ダイオードでは、スクリーニングを行うと、発光領域、即ち、活性領域近傍にダーク・ラインやダーク・スポットが発生し、製造歩留りは低いものになっている。

【0009】本発明は、発光ダイオード・チップの活性領域に加わる応力を低減し、スクリーニングを行った際の歩留りを向上し得るようにする。

【0010】

【課題を解決するための手段】一般に、発光ダイオード・チップの活性領域に加わる応力を低減する為の手段として、サブ・マウントの材料を選択すること、チップ・サブ・マウント間、或いは、サブ・マウント・ステム間に用いるソルダを選択することなどが考えられる。

【0011】活性領域に加わる応力は、諸材料の線膨張係数、ヤング率、形成温度などから計算することができ、また、転位が発生する領域は極微小であることから、無限平面を仮定したソウル(Saul)の理論式(要すれば、「JAP., Vol. 40, No. 8, p 3273-3279, JULY 1969」を参照)を用いることが可能である。

【0012】図7はストレスを計算する為のモデルを解説する説明図であって、最初、従来から多用されているSi或いはSiCをサブ・マウントとし、また、半田或いはAuSiをソルダとし、温度範囲は発光ダイオードの動作温度として普遍的に適用される-40〔℃〕と120〔℃〕、そして、-10〔℃〕と130〔℃〕の場合について計算した。

【0013】図8乃至図11はストレスとサブ・マウント厚との関係を計算した結果を表す線図であり、縦軸にストレス〔ダイン/cm²〕、横軸にサブ・マウント厚〔 μm 〕をそれぞれ採ってある。

【0014】図8のデータを得た条件は、

サブ・マウント：Si

チップ・ソルダ：AuSn

他のソルダ：半田

設定温度：-40〔℃〕及び120〔℃〕

であり、図9のデータを得た条件は、

サブ・マウント：SiC

チップ・ソルダ：AuSn

他のソルダ：半田

設定温度： -40 [°C] 及び 120 [°C]
であり、図10のデータを得た条件は、

サブ・マウント：Si

チップ・ソルダ：AuSn

他のソルダ：AuSi

設定温度： -10 [°C] 及び 130 [°C]

であり、図11のデータを得た条件は、

サブ・マウント：SiC

チップ・ソルダ：AuSn

他のソルダ：AuSi

設定温度： -10 [°C] 及び 130 [°C]

である。

【0015】各図から明らかであるように、それぞれの温度範囲に於いて、活性領域を構成している結晶内で転位が発生するしきい値ストレスである 1×10^9 [ダイン/cm²] (要すれば、「Kamejima et. al. J. J. A. P. Vol. 16 No. 2 p p 233 - p p 240」、を参照) 以下となるような領域では、許容できるサブ・マウント厚は存在しない。換言すると、チップを取り付ける為のサブ・マウントが存在すれば、活性領域には必ずしきい値ストレスを越えるストレスが加わって転位が発生することになる。

【0016】前記したようなことから、本発明者は、種々な条件も然ることがら、先ず、サブ・マウントの材料としてSiやSiC以外のものを求めることとし、AlNを選択した。その理由は、AlNがチップの材料である化合物半導体の線膨張係数に比較的近いそれを有していること、及び、放熱性が高いことなどに依る。そこで、サブ・マウントの材料にAlNを用いた場合について、前記と同様な計算を行った。

【0017】図1及び図2はストレスとサブ・マウント厚との関係を計算した結果を表した線図であり、縦軸にはストレス [ダイン/cm²]、横軸にはサブ・マウント厚 [μ m] をそれぞれ採っている。尚、図7にはサブ・マウントにAlNを用いた場合のストレスを計算する為のモデルが付記されている。図1のデータを得た設定温度は -40 [°C] であって、これは発光ダイオードの最低動作温度に相当し、また、図2のデータを得た設定温度は 120 [°C] であって、これは発光ダイオードの最高動作温度、即ち、最大定格電流を流した際の最高温度である。

【0018】各図から明らかなように、活性領域に加わるストレスを 1×10^9 [ダイン/cm²] 以下とするには、 -40 [°C] では、サブ・マウント3の厚さを 892 [μ m] 乃至 1570 [μ m] の範囲にしなければならず、また、 120 [°C] では、サブ・マウント3の厚さを 152 [μ m] 乃至 956 [μ m] の範囲にしなければならない。

【0019】図1並びに図2のデータに依れば、 -40 [°C] \sim 120 [°C] の温度範囲でストレスが 1×10

⁹ [ダイン/cm²] 以下となるサブ・マウント3の厚さは 892 [μ m] \sim 956 [μ m] の範囲であることが看取される。

【0020】図1及び図2について説明した計算結果は、ソルダ2及びソルダ4の材質に依存して変化する。そこで、次に、ソルダ2としてAuSiを、また、ソルダ4としてAuSnをそれぞれ用いた場合の計算結果について説明するが、このように、ソルダの材質を変えた場合、発光ダイオードの動作定格は変わり、低温側の動作温度は -10 [°C] となって 30 [°C] 高くなり、また、高温側の動作温度は 130 [°C] となって 10 [°C] 高くなる。

【0021】図3及び図4は、図1及び図2と同様、ストレスとサブ・マウント厚との関係を計算した結果を表した線図であり、縦軸にはストレス [ダイン/cm²]、横軸にはサブ・マウント厚 [μ m] をそれぞれ採っている。図3のデータを得た設定温度は -10 [°C] であって、前記のようにソルダを変えた発光ダイオードの最低動作温度に相当し、また、図4のデータを得た設定温度は 130 [°C] であって、これも前記のようにソルダを変えた発光ダイオードの最高動作温度、即ち、最大定格電流を流した際の最高温度である。

【0022】各図から明らかなように、活性領域に加わるストレスを 1×10^9 [ダイン/cm²] 以下とするには、 -10 [°C] では、サブ・マウント3の厚さを 888 [μ m] 以上、そして、 130 [°C] では、サブ・マウント3の厚さを 1007 [μ m] 以下にしなければならない。

【0023】図3並びに図4のデータに依れば、 -10 [°C] \sim 130 [°C] の温度範囲でストレスが 1×10^9 [ダイン/cm²] 以下となるサブ・マウント3の厚さは 870 [μ m] \sim 970 [μ m] の範囲であることが看取される。

【0024】前記したところから、本発明に依る半導体発光装置に於いては、

(1) 鉄或いは鉄を主成分とする材料からなるステム (例えばステム11) 上に半田からなるソルダ (例えばソルダ12) で取り付けられた厚さが 892 [μ m] 乃至 956 [μ m] であるAlNからなるサブ・マウント (例えばサブ・マウント13) 及び該サブ・マウント上にAuSnからなるソルダ (例えばソルダ14) で取り付けられた発光ダイオード・チップ (例えば発光ダイオード・チップ15) を備えてなるか、或いは、

【0025】(2) 鉄或いは鉄を主成分とする材料からなるステム上にAuSiからソルダで取り付けられた厚さが 888 [μ m] 乃至 1007 [μ m] であるAlNからなるサブ・マウント及び該サブ・マウント上にAuSnからなるソルダで取り付けられた発光ダイオード・チップを備えてなる。

【0026】

【作用】前記手段を採ることに依り、発光ダイオード・チップの活性領域に加わるストレスを 1×10^9 [ダイン/cm²] を越えないようにすることが可能となり、従って、結晶内に発生する転位が少なくなり、スクリーニング時に於ける歩留りは著しく高くなるので、信頼性が高い発光ダイオードを安価に供給することができる。

【0027】

【実施例】図5は本発明に依る実施例を説明する為の発光ダイオードを表す要部側面図である。図に於いて、11はステム、12はソルダ、13はサブ・マウント、14はソルダ、15は発光ダイオード・チップをそれぞれ示している。

【0028】図示の発光ダイオードに於ける各部材に関する主要なデータを例示すると次の通りである。即ち、ステム11：鉄製TO-18型パッケージのステム（厚さ1.1 [mm]）

ソルダ12：半田

サブ・マウント13：AlN（厚さ900 [μm]）

ソルダ14：AuSn

である。尚、TO-18型パッケージは、勿論、JIS規格に見られるものであって、鉄、または、鉄を主成分とする材料で作られている。

【0029】この発光ダイオードを組み立てるには、従来の技術をそのまま適用することができ、例えば、サブ・マウント13上にソルダ14を用いて発光ダイオード・チップ15をボンディングし、それをソルダ12を用いてステム11にボンディングして作成すれば良い。

【0030】このようにして得られた発光ダイオードでは、-40 [°C] ~ 120 [°C] の温度範囲でスクリーニングした場合の歩留りは著しく高くなり、実験に依れば、転位発生に依る不良率の平均値は14 [%] であった。

【0031】通常、発光ダイオードに於いては、チップの結晶内に基本的にもっている転位に依る不良率が~10 [%] 程度であるから、本実施例に依るスクリーニング歩留りは極めて良好と言える。因に、従来の技術に依る発光ダイオードに於ける転位発生に依る不良率は55 [%] である。

【0032】また、前記実施例に関する諸条件のうち、ソルダ12のみをAuSiに変えることができ、その実施例に於いては、-10 [°C] ~ 130 [°C] の温度範囲でスクリーニングした場合の歩留りが前記実施例と同様に高い値を示すことが実験で確認されている。

【0033】

【発明の効果】本発明に依る半導体発光装置では、鉄或いは鉄を主成分とする材料からなるステム上に半田（或いはAuSi）からなるソルダで取り付けられた厚さが

892 [μm] 乃至956 [μm]（或いは888 [μm] 乃至1007 [μm]）であるAlNからなるサブ・マウント及び該サブ・マウント上にAuSnからなるソルダで取り付けられた発光ダイオード・チップを備える。

【0034】前記構成を採ることに依り、発光ダイオード・チップの活性領域に加わるストレスを 1×10^9 [ダイン/cm²] を越えないようにすることが可能となり、従って、結晶内に発生する転位が少なくなり、スクリーニング時に於ける歩留りは著しく高くなるので、信頼性が高い発光ダイオードを安価に供給することができる。

【図面の簡単な説明】

【図1】ストレスとサブ・マウント厚との関係を計算した結果を表した線図である。

【図2】ストレスとサブ・マウント厚との関係を計算した結果を表した線図である。

【図3】ストレスとサブ・マウント厚との関係を計算した結果を表した線図である。

【図4】ストレスとサブ・マウント厚との関係を計算した結果を表した線図である。

【図5】本発明に依る実施例を説明する為の発光ダイオードを表す要部側面図である。

【図6】標準的な構成の従来例を説明する為の発光ダイオードを表す要部側面図である。

【図7】ストレスを計算する為のモデルを解説する説明図である。

【図8】ストレスとサブ・マウント（Si）厚との関係を計算した結果を表す線図である。

【図9】ストレスとサブ・マウント（SiC）厚との関係を計算した結果を表す線図である。

【図10】ストレスとサブ・マウント（Si）厚との関係を計算した結果を表す線図である。

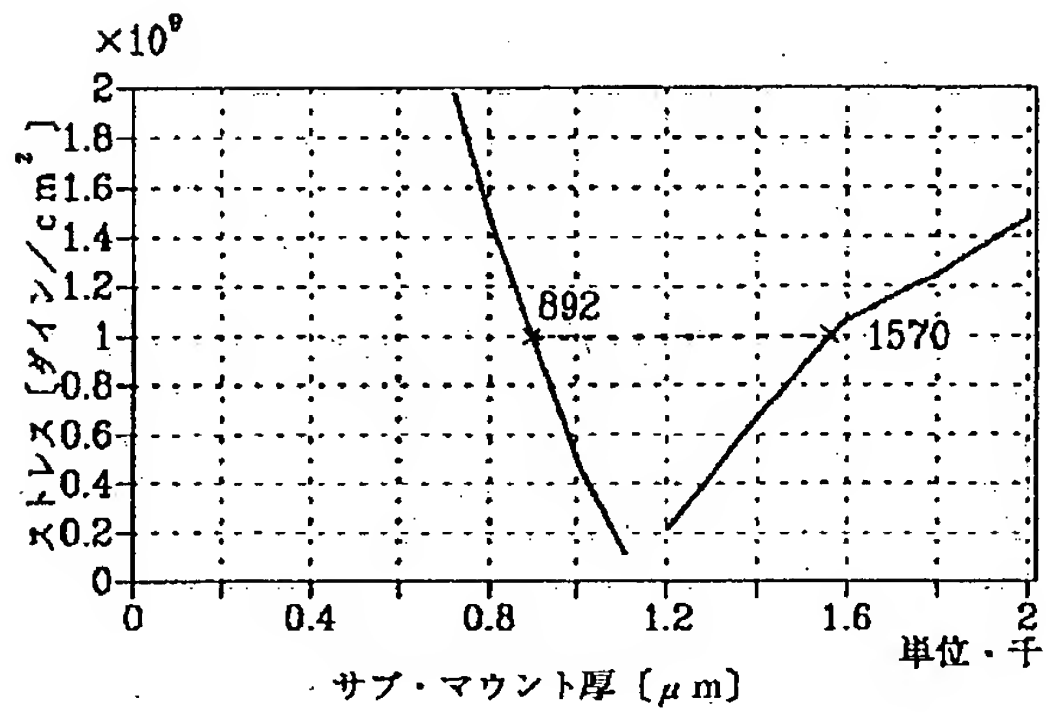
【図11】ストレスとサブ・マウント（SiC）厚との関係を計算した結果を表す線図である。

【符号の説明】

- 1 ステム
- 2 ソルダ
- 3 サブ・マウント
- 4 ソルダ
- 5 発光ダイオード・チップ
- 11 ステム
- 12 ソルダ
- 13 サブ・マウント
- 14 ソルダ
- 15 発光ダイオード・チップ

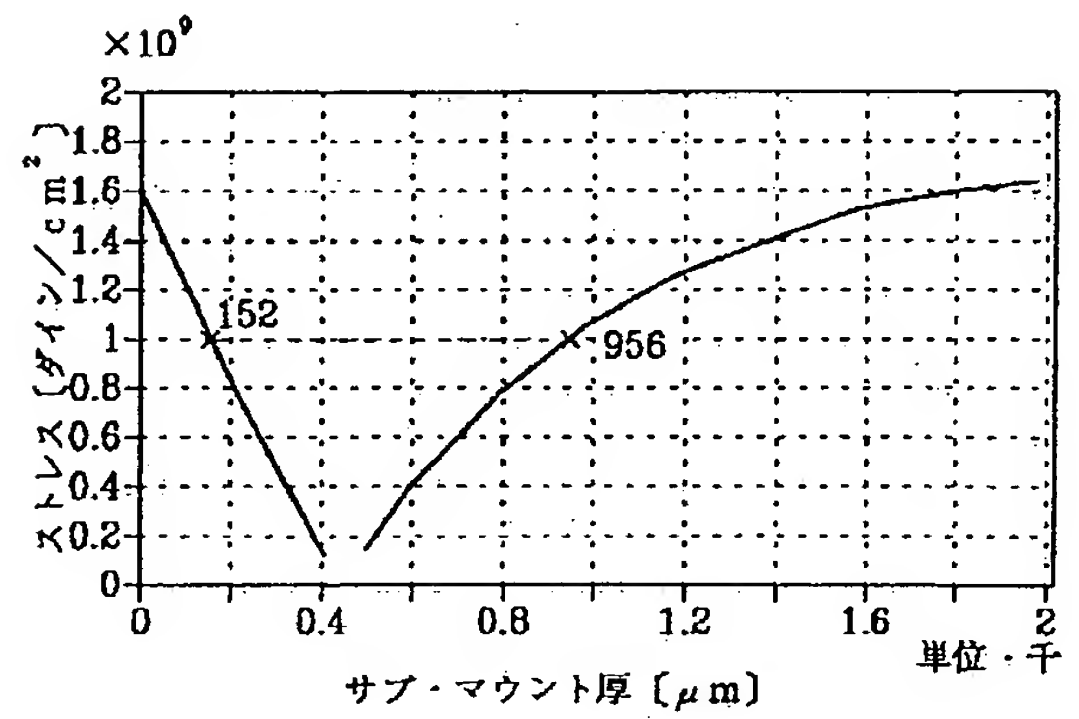
【図1】

ストレスとサブ・マウント厚との関係を計算した結果を表す線図



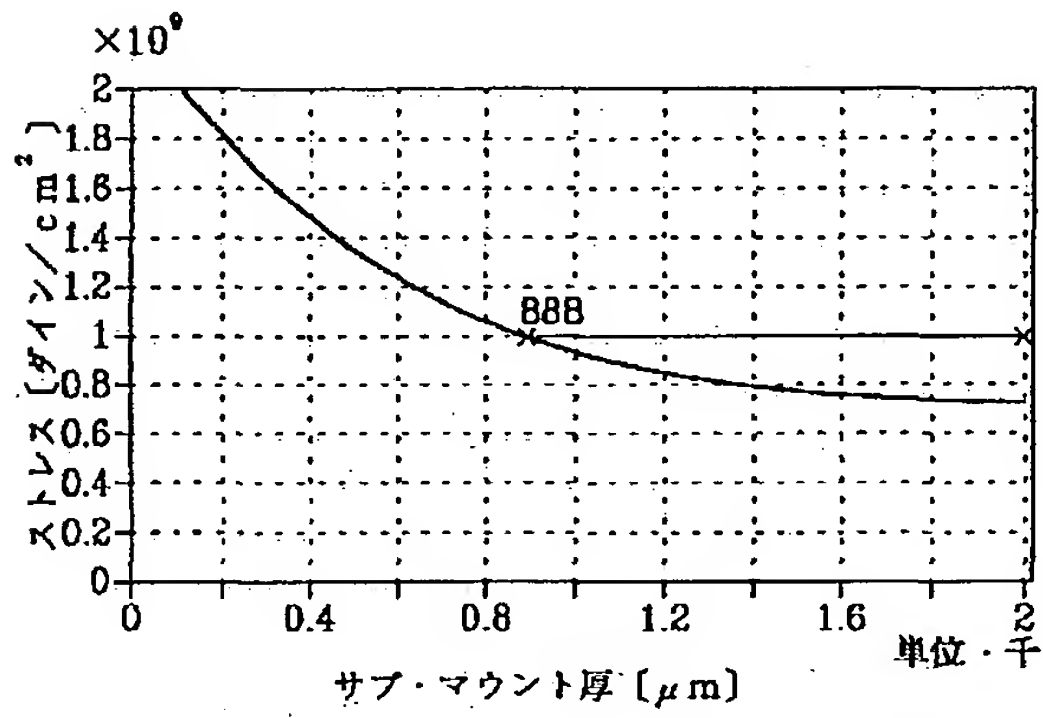
【図2】

ストレスとサブ・マウント厚との関係を計算した結果を表す線図



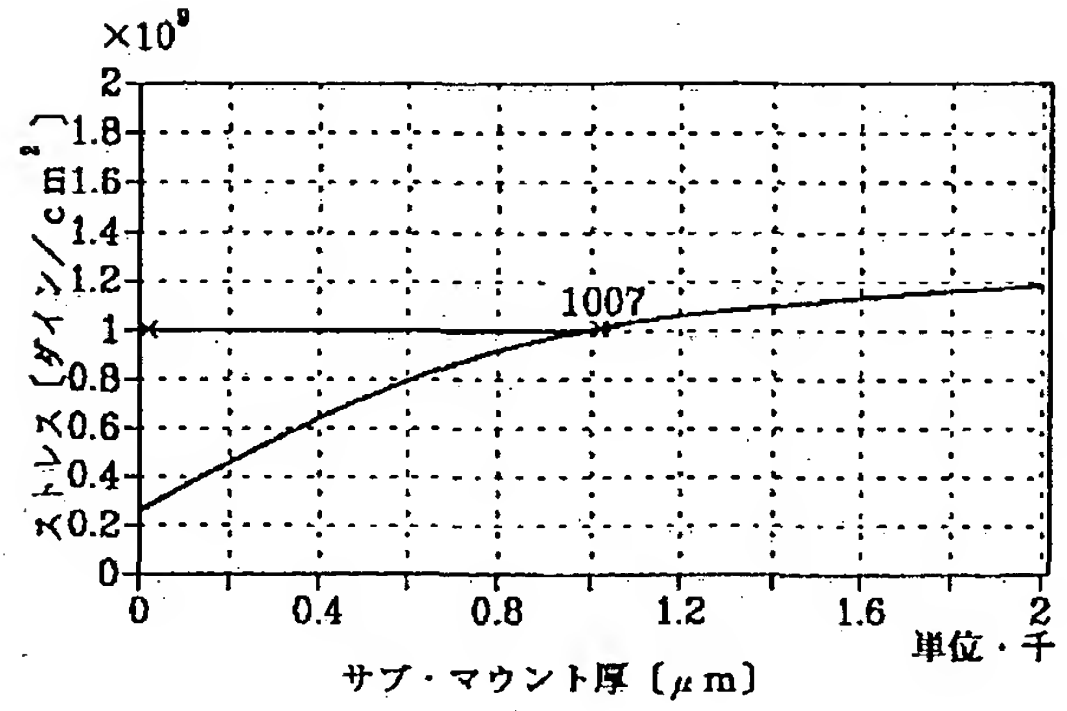
【図3】

ストレスとサブ・マウント厚との関係を計算した結果を表す線図



【図4】

ストレスとサブ・マウント厚との関係を計算した結果を表す線図

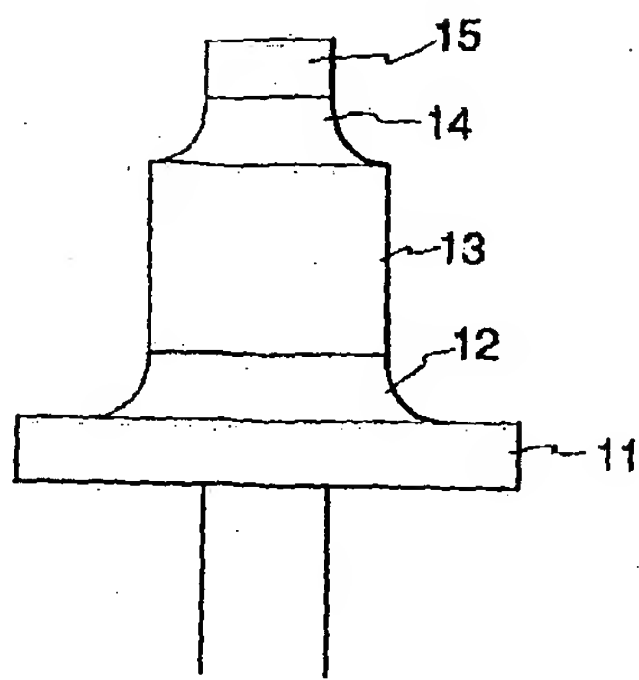


【図5】

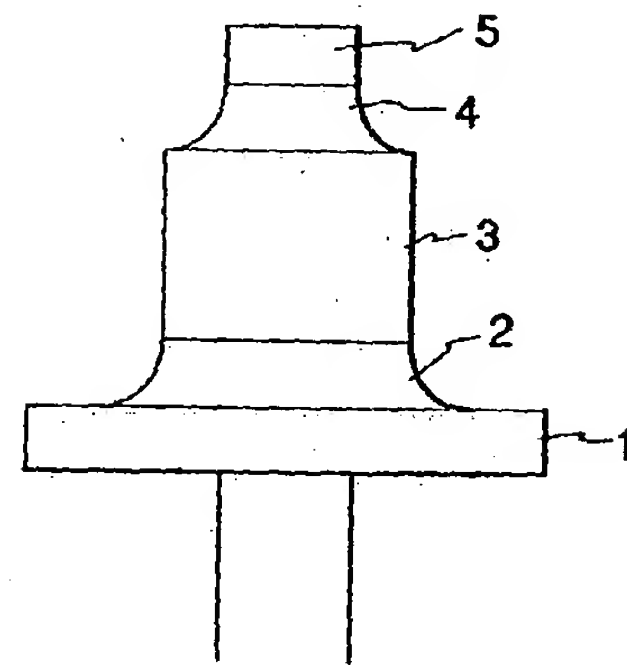
【図6】

実施例を説明する為の発光ダイオードを表す要部側面図

従来例を説明する為の発光ダイオードを表す要部側面図



- 11 : ステム
- 12 : ソルダ
- 13 : サブ・マウント
- 14 : ソルダ
- 15 : 発光ダイオード・チップ



- 1 : ステム
- 2 : ソルダ
- 3 : サブ・マウント
- 4 : ソルダ
- 5 : 発光ダイオード・チップ

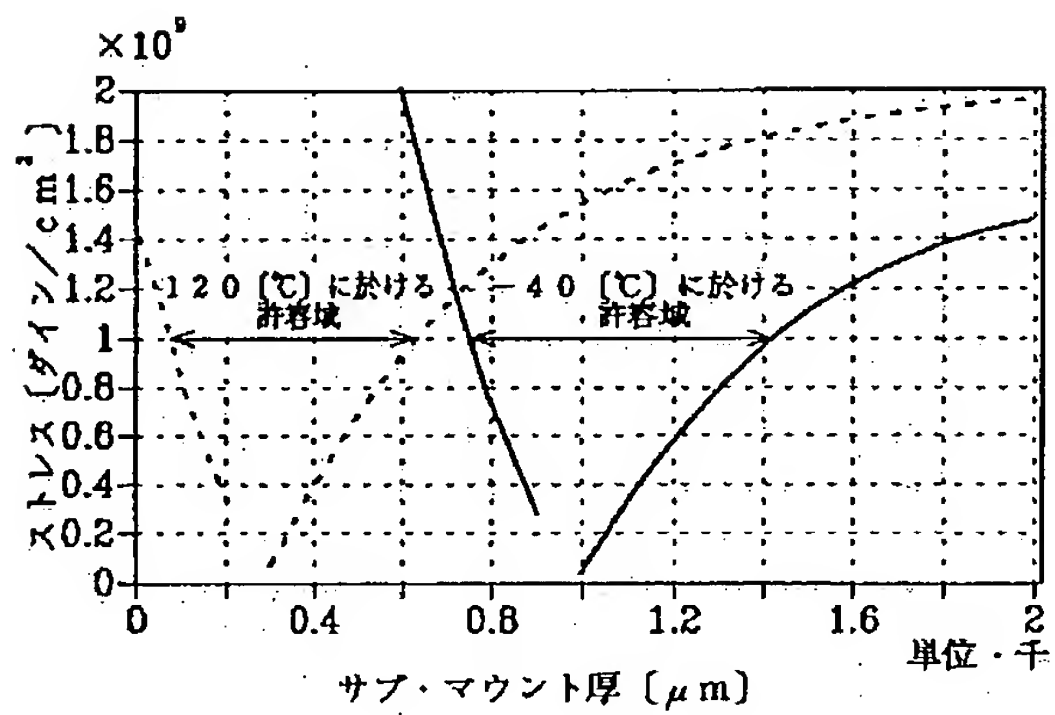
【図7】

ストレスを計算する為のモデルを解説する説明図

		厚さ (μm)	($^{\circ}\text{C}^{-1}$) 線膨張係数	ヤング率
発光 ダイオード チップ	N電極	0.2	1.0×10^{-5}	7.8×10^{11}
	ウィンドウ層	52.5	6.5×10^{-6}	1.0×10^{12}
	活性層	1.0	6.8×10^{-6}	1.0×10^{12}
	クラッド層	2.0	6.5×10^{-6}	1.0×10^{12}
	絶縁膜	0.6	4.0×10^{-6}	1.0×10^{12}
	P電極	10.0	1.4×10^{-5}	7.8×10^{11}
ソルダ	AuSn層	5.0	1.8×10^{-5}	1.9×10^{12}
	Si	0	2.5×10^{-6}	1.7×10^{12}
サブ マウント	SiC	s	3.6×10^{-6}	1.7×10^{12}
	AlN	2000	4.2×10^{-6}	1.0×10^{12}
ソルダ	半田	5.0	3.0×10^{-5}	3.0×10^{11}
	AuSi	5.0	1.0×10^{-5}	1.7×10^{12}
ステム	ステム (T0-18)	1100	1.2×10^{-5}	2.4×10^{12}

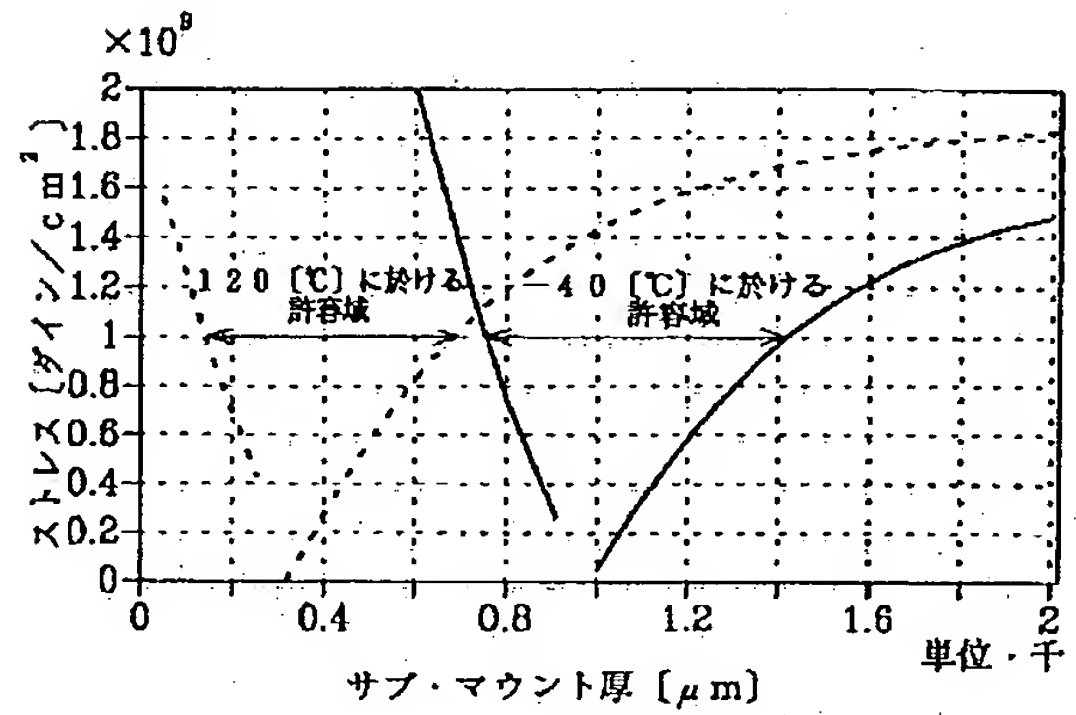
【図8】

ストレスとサブ・マウント厚との関係を計算した結果を表す線図



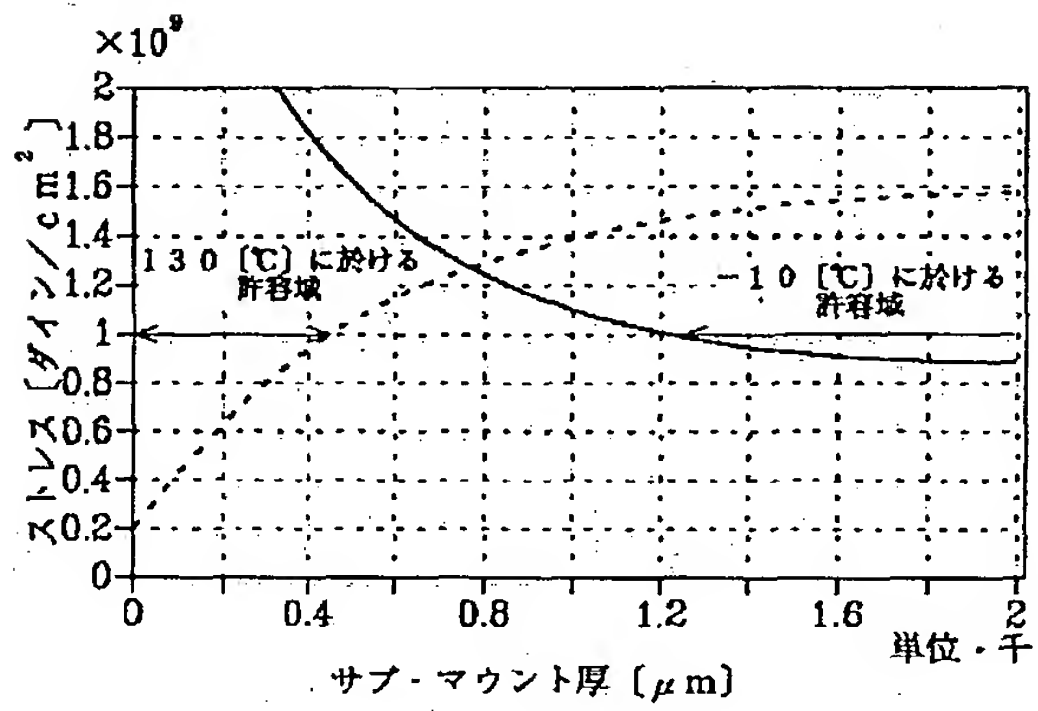
【図9】

ストレスとサブ・マウント厚との関係を計算した結果を表す線図



【図10】

ストレスとサブ・マウント厚との関係を計算した結果を表す線図



【図11】

ストレスとサブ・マウント厚との関係を計算した結果を表す線図

